

2. Scope of Claim for Patent

A single chip microcomputer comprising a data bus having a bit width identical to a bit length of calculating data of a microcomputer, a serial bus to perform a serial transmission of data for an input/output port, a serial-parallel conversion circuit which converts the data of the bit width of the data bus into a bit width to be transmitted by the serial bus, and an input/output port circuit which is connected to the serial bus to perform an input/output of data to and from a device external to the microcomputer; wherein data transmission between the input/output port circuit and the data bus is performed by a serial transmission.

<Effect of the Invention>

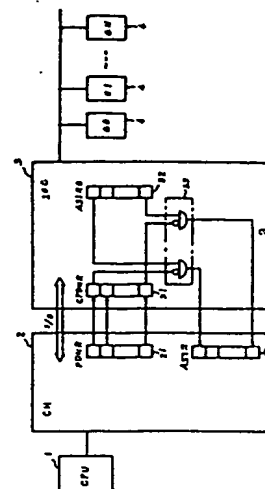
As explained above, according to the present invention, since the input/output port circuit and the internal circuit performing the arithmetic operation is interconnected by the serial bus through the serial-parallel conversion circuit, the area for a wiring, necessary for signal transmission between the internal circuit and the device external to the microcomputer, can be made small with respect to the entire LSI, and hence an LSI can be downsized and, consequently, its industrial value can be enhanced.

**(54) CHANNEL CONTROL SYSTEM**

(11) 60-37053 (A) (43) 26.2.1985 (19) JP  
 (21) Appl. No. 58-145530 (22) 9.8.1983  
 (71) FUJITSU K.K. (72) ICHIROU ANZAI  
 (51) Int. Cl. G06F13/12

**PURPOSE:** To decrease the number of asynchronous interruption by performing control so as to send device numbers to an input/output processor while a channel device is performing the processing related to the error information, etc. of a certain device.

**CONSTITUTION:** When a channel device 2 is performing the processing related to the error information, etc. of a certain device, a register PDNR21 is turned on to send its output signal to an input/output processor 3. In this case, if an asynchronous interruption request is supplied to the processor 3 from a device (#0)4, an asynchronous interruption request register ASIRQ32 is set. Then the 1:1 collation is carried out by a comparator 33 between the register 32 and a device number register CPDNR31 under processing with the correspondence of device numbers. In this case, the bit corresponding to the device 4 of the register 31 is turned on to block an asynchronous interruption #0. Thus the asynchronous interruption request of a device which is under processing is inhibited temporarily. This can decrease the number of the asynchronous interruption.



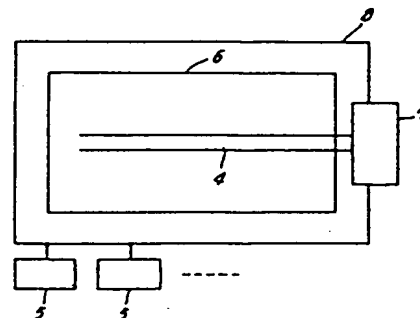
a: asynchronous interruption #N

**(54) SINGLE CHIP MICROCOMPUTER**

(11) 60-37054 (A) (43) 26.2.1985 (19) JP  
 (21) Appl. No. 58-144050 (22) 5.8.1983  
 (71) MATSUSHITA DENKI SANGYO K.K. (72) TOSHIKI SUZUKI(1)  
 (51) Int. Cl. G06F13/14, G06F15/06

**PURPOSE:** To reduce the occupied area of the wiring to an input/output port circuit by connecting the input/output port circuit and an internal circuit which performs the arithmetic processing by a serial bus and via a serial/parallel converting circuit.

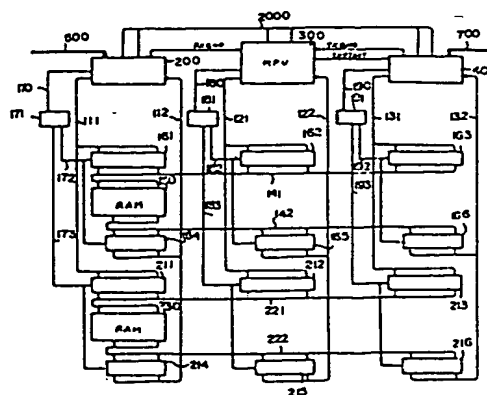
**CONSTITUTION:** In case data are delivered outside from a microcomputer, the arithmetic result is first transferred to a data bus 4 from an internal circuit 6 and then converted into a serial form by a parallel/serial converting circuit 7. This serial data is transferred to a serial bus 8. Then the data at a corresponding bit position is latched from the bus 8 through an input/output port circuit 5 and then delivered outside. The above-mentioned action is reversed when the data is supplied from outside. In such a way, the circuit 5 is connected to the circuit 6 by a serial bus and via the circuit 7. This reduces the occupied area of the wiring to the circuit 5.

**(54) INFORMATION PROCESSOR**

(11) 60-37055 (A) (43) 26.2.1985 (19) JP  
 (21) Appl. No. 58-143645 (22) 8.8.1983  
 (71) CANON K.K. (72) HARUYOSHI TAKAYAMA  
 (51) Int. Cl. G06F13/18, G06F13/00

**PURPOSE:** To improve data processing efficiency by using a multiple memory and at the same time switching the memory in responding with the processing in order to omit the shift processing of data, etc. as well as to attain the simultaneous and parallel processing of plural types of information.

**CONSTITUTION:** In a reception waiting mode a microprocessor MPU300 selects an RAM150 out of the RAM150 and 230 to allot it to a reception control circuit 200. In this case, the MPU300 gives the reception start address of the RAM150 as well as the value which limits the upper limit of a reception area when necessary via a common bus 2000. The circuit 200 has a function equivalent to a direct memory access DMA function and therefore performs the control to move up and store the data on a reception frame automatically for every character from a designated reception start address. The MPU300 stores the state where the RAM150 is allotted to the circuit 200 into its own control table and controls the using state of the RAM150. In such a way, the data processing efficiency is improved by using plural RAMs.



161-163, 211-213: gate circuit, 164-166, 214-216: bidirectional gate circuit, 171, 181, 191: decoder, 400: transmission control circuit

## ⑫ 公開特許公報(A)

昭60-37054

⑤ Int. Cl.<sup>4</sup>G 06 F 13/14  
15/06

識別記号

庁内整理番号

7165-5B  
7343-5B

④ 公開 昭和60年(1985)2月26日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 シングルチップ・マイクロコンピュータ

⑰ 特 願 昭58-144050

⑱ 出 願 昭58(1983)8月5日

⑲ 発 明 者 鈴木 敏 明 門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 松 崎 敏 道 門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
⑲ 代 理 人 弁理士 森本 義弘

## 明 細 書

## 1. 発明の名称

シングルチップ・マイクロコンピュータ

## 2. 特許請求の範囲

1. マイクロコンピュータの演算処理データビット長と等しいビット幅を有するデータバスと、入出力ポート用のデータをシリアル伝送するシリアルバスと、前記データバスのビット幅のデータを前記シリアルバスで伝送するビット幅に変換する直並列変換回路と、前記シリアルバスに接続されてマイクロコンピュータ外部とのデータ入出力を行う入出力ポート回路とを備え、シリアル伝送によって入出力ポート回路とデータバスとの間のデータ伝送を行う構成としたシングルチップ・マイクロコンピュータ。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、シリアル伝送を用いた入出力ポート制御を行なう、シングルチップ・マイクロコンピュータに関するものである。

## 従来例の構成とその問題点

近年、シングルチップ・マイクロコンピュータは、処理データのビット幅が増えて16ビット級でも実用化され始めている。

従来のシングルチップマイクロコンピュータについて第1図を用いて説明する。1はデータバス、2は入出力ポート回路、3はマイクロコンピュータの内部回路で、この内部回路3は演算処理を行う部分である。マイクロコンピュータ外部から入力されるデータ、及びマイクロコンピュータから外部に出力する信号は、データバス1を介して入出力ポート回路2に伝送される。しかしながらこのような従来の構成では、データビット長が長くなるとデータバス1の配線本数が増えるため、LSI化する場合、チップ面積が大きくなる。入出力ポート回路2はLSIチップの外周に配線されるのが通例であり、このためデータバス1はLSIの外周を一周するように配線しなければならない。この配線に占める面積は、内部回路3とくらべて無視できない値になってくる。例えば2ミク

ロン線幅で2ミクロンのセパレーションを設けた32ビットのデータバス1を10mm×10mmのLSIの外周に配線した場合、およそ外周のデータバス1の配線面積がLSI全体の面積の4割ぐらいになってしまう。

このように、入出力ポート回路2への配線のためにデータバス1を使用すると、LSIのチップ面積全体に占める入出力ポート回路2へのデータバス1の配線面積が増えるという問題点を残していた。

#### 発明の目的

本発明は上記従来の欠点を解消するもので、入出力ポート回路への配線占有面積を少なくできるシングルチップ・マイクロコンピュータを提供することを目的とする。

#### 発明の構成

上記目的を達成するため、本発明のシングルチップ・マイクロコンピュータは、マイクロコンピュータの演算処理データビット長と等しいビット幅を有するデータバスと、入出力ポート用のデ

ータをシリアル伝送するシリアルバスと、前記データバスのビット幅のデータを前記シリアルバスで伝送するビット幅に変換する直並列変換回路と、前記シリアルバスに接続されてマイクロコンピュータ外部とのデータ入出力を行う入出力ポート回路とを備え、シリアル伝送によって入出力ポート回路とデータバスとの間のデータ伝送を行う構成としたものである。

#### 実施例の説明

以下、本発明の一実施例について、図面に基づいて説明する。

第2図は本発明の一実施例におけるシングルチップ・マイクロコンピュータのブロック図で、4はデータバス、5は入出力ポート回路、6は内部回路であり、この内部回路6は演算処理を行う。7は直並列変換回路、8はシリアルバスであり、直並列変換回路7は、データバス4側を並列入出力とし、シリアルバス8側を直列入出力とする。

マイクロコンピュータから外部に出力されるデータについて説明すると、先ず演算結果は内部回

路6からデータバス4に転送される。次に直並列変換回路7でシリアル変換された後、シリアルバス8に転送される。次に入出力ポート回路5では対応するビット位置のデータがシリアルバス8からラッチされ、マイクロコンピュータ外部に出力される。

外部からマイクロコンピュータに入力される場合は、上記の逆の動作で行なわれる。

マイクロコンピュータから外部へデータを出力あるいは外部から入力する時は、入出力命令、例えばMOVE命令などを行う。MOした命令が行われた後、直並列変換してデータ転送されるので、命令実行と実際のデータ移動との間には遅れが発生する。しかし、入出力のデータは命令実行速度に比べると比較的低速である場合がほとんどであり、マイクロコンピュータの制御対象側では問題にならない。入出力ポートに入出力されるデータが同タイミングでないとき、入出力ポート回路5内にもう一段ラッチを入れておき、全ビットが転送された後でマイクロコンピュータ外部と

の転送を行うようにすればよい。

#### 発明の効果

以上説明したように本発明によれば、入出力ポート回路と演算処理を行う内部回路との間を直並列変換回路を介してシリアルバスで連結したため、内部回路とマイクロコンピュータ外部との信号伝送のために必要な配線に要する面積を、LSI全体の中で少ない割合に抑えることができ、LSIサイズの縮小を実現し得、その工業的価値は極めて大である。

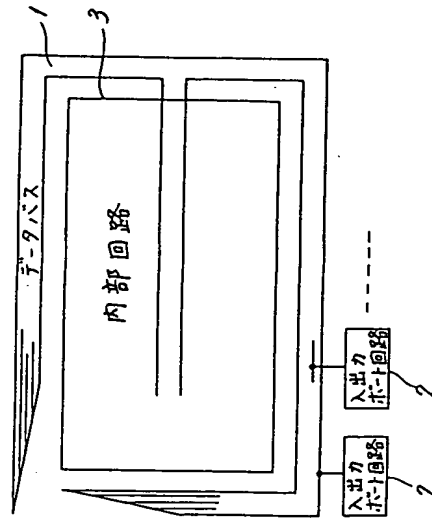
#### 4. 図面の簡単な説明

第1図は従来のシングルチップ・マイクロコンピュータのブロック図、第2図は本発明の一実施例におけるシングルチップ・マイクロコンピュータのブロック図である。

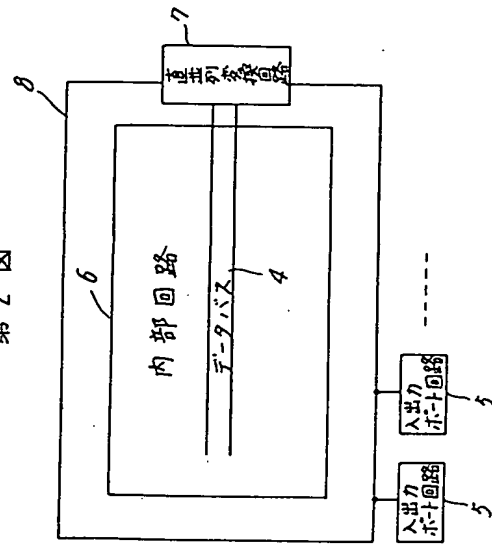
4…データバス、5…入出力ポート回路、6…内部回路、7…直並列変換回路、8…シリアルバス

代理人 森 木 義 弘

第1図



第2図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- 
- ☐ **BLACK BORDERS**
  - ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
  - ☒ **FADED TEXT OR DRAWING**
  - ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
  - ☐ **SKEWED/SLANTED IMAGES**
  - ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
  - ☐ **GRAY SCALE DOCUMENTS**
  - ☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
  - ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
  - ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**